

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-185964

(43)Date of publication of application : 06.07.2001

(51)Int.Cl.

H03F 3/343

G05F 3/26

H03F 3/45

(21)Application number : 11-364213

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.12.1999

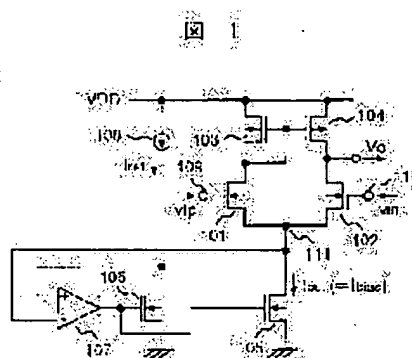
(72)Inventor : ICHIKI SHUZO

## (54) CURRENT MIRROR CIRCUIT AND OPERATIONAL AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-precision operational amplifier which can operate even with a low source voltage.

SOLUTION: A current mirror circuit composed of transistors 105 and 106 with uniform characteristics and a differential amplifier 107 is used as a current source for biasing the differential input means of the operational amplifier. The uninverted input terminal of the differential amplifier is connected to the drain of the transistor 106 and the inverted input terminal is connected to the common source of the differential input means; and the common gate of the transistors 105 and 106 is driven with the output of the differential amplifier. The drain-source voltage of the output-side transistor 105 of the current mirror circuit is always held nearly as high as the drain-source voltage of the input-side transistor 106 of the current mirror circuit and the output current of the current mirror circuit is held nearly constant even if the output-side transistor is saturated. Consequently, an in-phase input level can be lowered and a signal amplitude need not be reduced even if a source voltage is low, so that the low-voltage, high-precision operational amplifier can be constituted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-185964

(P2001-185964A)

(43) 公開日 平成13年7月6日 (2001.7.6)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 3 F 3/343		H 0 3 F 3/343	A 5 H 4 2 0
G 0 5 F 3/26		G 0 5 F 3/26	5 J 0 6 6
H 0 3 F 3/45		H 0 3 F 3/45	A 5 J 0 9 1

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平11-364213

(22) 出願日 平成11年12月22日 (1999. 12. 22)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 市▲来▼ 周▲薫▼

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100068504

弁理士 小川 勝男 (外1名)

最終頁に続く

(54) 【発明の名称】 カレントミラー回路および演算増幅器

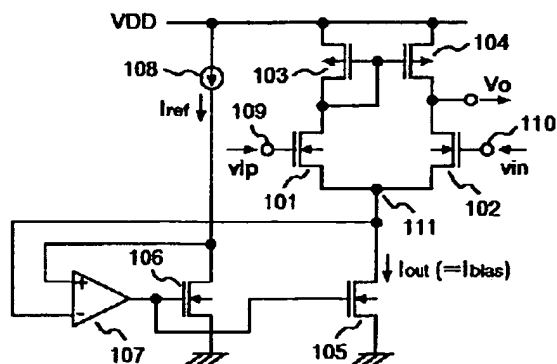
(57) 【要約】

【課題】低い電源電圧でも動作可能でかつ、高精度な演算増幅器を提供する。

【解決手段】演算増幅器の差動入力段をバイアスする電流源として、特性の揃ったトランジスタ105、106と差動増幅器107で構成するカレントミラー回路を用いる。差動増幅器の非反転入力端子をトランジスタ106のドレインに、反転入力端子を上記差動入力段の共通ソースに接続し、トランジスタ105、106の共通ゲートを差動増幅器の出力で駆動する。カレントミラー回路の出力側トランジスタ105のドレイン・ソース間電圧をカレントミラー回路の入力側トランジスタ106のドレイン・ソース間電圧と常に等しく保ち、出力側トランジスタが非飽和となってもカレントミラー回路の出力電流がほぼ一定に保たれる。

【効果】同相入力レベルを下げることを可能にし、低い電源電圧でも信号振幅を低減する必要がなくなる結果、低電圧で高精度な演算増幅器を構成できる。

図 1



## 【特許請求の範囲】

【請求項1】基準電流を流す第1のトランジスタと、出力電流を流す第2のトランジスタと、反転入力端子に制御電圧が入力され、非反転入力端子に前記第1のトランジスタのドレインが接続され、出力端子に前記第1及び第2のトランジスタの共通ゲートが接続される差動増幅器と、から構成されることを特徴とするカレントミラー回路。

【請求項2】前記制御電圧として、前記第2のトランジスタのドレイン電圧を供給する請求項1記載のカレントミラー回路。

【請求項3】トランジスタ差動対からなる演算増幅器であって、前記トランジスタ差動対のバイアス電流を請求項1または請求項2記載のカレントミラー回路によって供給するように構成することを特徴とする演算増幅器。

【請求項4】互いに特性が揃った第1および第2のトランジスタ差動対を有し、前記第1の差動対の同相入力レベルを前記第2の差動対により検知するように構成し、かつ、前記第2の差動対に、前記第1の差動対のバイアス電流を入力と同相成分によらず一定となるように補正する手段を設けることを特徴とする演算増幅器。

【請求項5】前記補正する手段は、前記第2の差動対を構成するトランジスタの共通ドレイン端に設けた、前記第2の差動対のバイアス電流よりも少ない電流を供給する制御電流源と、前記第2の差動対のバイアス電流と前記制御電流源の電流の差電流を供給するカレントミラー回路とからなり、前記カレントミラー回路の出力電流を前記第1の差動対の共通ソースに供給するように構成する請求項4記載の演算増幅器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、カレントミラー回路および演算増幅器に係り、特に低電源電圧下で動作する半導体集積回路装置に好適なカレントミラー回路および演算増幅器に関する。

## 【0002】

【従来の技術】近年、プリント基板上で実現していたシステムを1つのチップに集約するシステムオンチップが盛んになり、最近ではマイクロプロセッサなどの大規模デジタル回路とA/D変換器やフィルタ、基準電圧源といったアナログ回路が同一チップに混載されることも珍しくない。ここで、ほとんどの大規模デジタル回路はCMOS技術で実現されるので、その高性能・多機能化、小型化は主にデバイスの微細化によって推進されている。しかし、この微細化に伴う素子の耐圧減少のため、使用する電源電圧は、携帯型用途でないものまでも1.5V近辺あるいはさらに低いものへの対応を余儀なくされつつある。従って、このようなデジタル回路と同一チップ上での混載を可能とするためにアナログ回路も電源電圧の低減が重要となる。

【0003】図5に一般的な演算増幅器における差動入力段の構成を示す。同図において、参照符号501および502はソース結合の差動対として動作するnMOSトランジスタ、503および504は前記差動対のバイアス電流を供給するためのカレントミラー回路を構成するnMOSトランジスタである。このnMOSトランジスタ504のドレインは、差動対トランジスタ501、502のソース接続点508に接続されている。電流 $I_{ref}$ を流す電流源505は、前記カレントミラー回路の出力電流を決定する基準電流源であり、512および513は前記差動対の能動負荷となるpMOSトランジスタである。また、 $v_{in}$ 、 $v_{ip}$ は演算増幅器の入力電圧であり、 $V_o$ は出力電圧である。なお、このような回路構成に関しては、例えば、1984年発行のポール・R・グレイ他著の「アナログ集積回路の解析及び設計（第2版）」の741頁～743頁(Paul R. Gray et.al, "Analysis and Design of Analog Integrated Circuits, Second Edition", pp.741-743, 1984)に記載されている。

## 【0004】

【発明が解決しようとする課題】しかしながら、前述した演算増幅器における従来の差動入力段を構成する回路を安定に動作させるためには、nMOSトランジスタ501および502からなる差動対をバイアスする電流 $I_{bias}$ を一定に保つ必要がある。そのためにはカレントミラー回路の出力トランジスタ504は飽和領域で動作しなければならず、そのドレイン・ソース間電圧には通常少なくとも0.2～0.4V程度が必要である。つまり、演算増幅器の入力端子506、507にそれぞれ入力される電圧 $v_{in}$ 、 $v_{ip}$ の同相入力電圧範囲は、トランジスタ504の動作のために確保すべきドレイン・ソース間電圧の分だけ損なわれる。しかし、電源電圧が2V程度まで低減されると、そのような入力振幅の損失は、演算増幅器としての応用のしやすさや、信号対雑音比(S/N比)の点で許容できなくなってくる。

【0005】また、前記カレントミラー回路部分だけをとりまいても入力側のトランジスタ503の動作に必要な電圧が高いために、1V近辺の電源電圧で動作が困難になりやすい。例えば、前記基準電流源505をカスコード回路等によって構成した場合、基準電流源505の動作余裕確保のために必要な端子間電圧が0.3～0.6V程度必要となる。

【0006】一方、トランジスタ503はゲートとドレインを短絡したダイオード接続となっているから、正常な動作をするためには、そのゲート・ソース間電圧は閾値電圧 $V_{th}+0.2\sim0.3$ V程度が必要である。通常、特別な工程を加えない限り、閾値電圧 $V_{th}$ は低くても0.6V近辺なので、結局0.8～0.9Vとなる。つまり、基準電流源505の動作確保に0.3～0.6V、カレントミラーの入力端子511の電位に

0.8~0.9Vが必要ということから、合計でこのカレントミラー回路部分だけでも電源電圧に最悪1.5Vも必要となる。

【0007】ところで、前記従来技術の演算増幅器について説明したように、差動対のバイアス電流源となるカレントミラー回路を低電圧で正常に動作できないという問題点に対処するために、電流源505とトランジスタ503、504からなるカレントミラー回路で構成した差動対のバイアス電流源を、図6に示すように抵抗601に置き換えたものもある。なお、これに類似する構成は、前述したボールR. グレイ著の203頁と700頁に記載されている。しかし、図6に示す構成の場合、入力端子506および507へ印加される入力電圧 $v_{ip}$ および $v_{in}$ の同相成分によって差動対のバイアス電流 $I_{bias}$ が変動するため、やはり高精度が要求される用途の演算増幅器への適用は難しい。

【0008】そこで、本発明の主たる目的は、前記従来技術の問題点を解決し、電源の低電圧化が可能なカレントミラー回路および演算増幅器を提供することにある。

【0009】

【課題を解決するための手段】前記課題を解決するために、本発明に係るカレントミラー回路は、基準電流を流す第1のトランジスタと、出力電流を流す第2のトランジスタと、反転入力端子に制御電圧が入力され、非反転入力端子に前記第1のトランジスタのドレインが接続され、出力端子に前記第1及び第2のトランジスタの共通ゲートが接続される差動増幅器と、から構成されることを特徴とするものである。

【0010】この場合、前記制御電圧として、前記第2のトランジスタのドレイン電圧を供給するように構成すれば好適である。

【0011】本発明に係る演算増幅器は、トランジスタ差動対からなる演算増幅器であって、前記トランジスタ差動対のバイアス電流を上記のカレントミラー回路によって供給するように構成することを特徴とする。

【0012】また、本発明に係る演算増幅器は、互いに特性が揃った第1および第2のトランジスタ差動対を有し、前記第1の差動対の同相入力レベルを前記第2の差動対により検知するように構成し、かつ、前記第2の差動対に、前記第1の差動対のバイアス電流を入力した同相成分によらず一定となるように補正する手段を設ける構成としてもよい。

【0013】この場合、前記補正する手段は、前記第2の差動対を構成するトランジスタの共通ドレイン端に設けた、前記第2の差動対のバイアス電流よりも少ない電流を供給する制御電流源と、前記第2の差動対のバイアス電流と前記制御電流源の電流の差電流を供給するカレントミラー回路とからなり、前記カレントミラー回路の出力電流を前記第1の差動対の共通ソースに供給するように構成すればよい。

【0014】

【発明の実施の形態】以下、本発明に係るカレントミラー回路および演算増幅器の好適な実施の形態について説明する。

【0015】本発明に係るカレントミラー回路の好適な実施の形態は、特性の揃った2つのトランジスタと1つの差動増幅器によってカレントミラー回路を構成し、この差動増幅器の非反転入力端子をリファレンス側トランジスタのドレイン（すなわち、カレントミラー回路の入力端子）に接続し、また上記2つのトランジスタの共通ゲートをこの差動増幅器の出力によって駆動させ、さらに差動増幅器の反転入力端子にカレントミラー回路の出力電流を制御する制御電圧を入力するようにした構成である。

【0016】また、本発明に係る演算増幅器の好適な実施の形態は、演算増幅器の差動入力段をバイアスする電流源として、上記のように構成されるカレントミラー回路を用い、更にこのカレントミラー回路の差動増幅器の反転入力端子に演算増幅器の差動入力段の共通ソース電圧を接続し、この共通ソース電圧をカレントミラー回路の制御電圧として用いる構成である。

【0017】このように構成すれば、カレントミラー回路の出力側トランジスタのドレイン・ソース間電圧は、カレントミラー回路の入力側トランジスタ（すなわち、リファレンス側トランジスタ）のドレイン・ソース間電圧と常に等しく保たれるので、出力側トランジスタが非飽和となっても、カレントミラー回路の出力電流はほぼ一定に保たれる。従って、演算増幅器の同相入力レベルを下げることができ、従来より低い電源電圧で動作させても入力信号の振幅を下げずに済ませられる。

【0018】また、本発明に係る演算増幅器の別の好適な実施の形態は、演算増幅器の差動入力段に2つの特性の揃ったトランジスタ差動対を持たせ、それらの内一方は本来の差動増幅を行い、もう一方は前者の差動対への同相入力レベルを検知して、本来の差動増幅を行う側の差動対のバイアス電流を同相入力レベルによらず一定となるように補正する機能を持たせる構成である。

【0019】この構成によっても、演算増幅器のトランジスタ差動対のバイアス電流の変動が抑えられるので、演算増幅器の同相入力レベルを下げることができ、従来よりも低い電源電圧で動作させても入力信号の振幅を下げずに済ませられる。

【0020】

【実施例】次に、本発明に係るカレントミラー回路および演算増幅器の具体的な実施例につき、添付図面を参照しながら以下詳細に説明する。なお、図1~図6における同一の記号は同一物又は類似物を表示するものとする。

【0021】＜実施例1＞図2は、本発明に係るカレントミラー回路の一実施例を示す回路図である。同図

(a)において、参照符号201と202は互いに形状および特性を揃えたソース接地のnMOSTランジスタを示し、この両nMOSTランジスタ201、202のゲートには、高入力インピーダンスの差動増幅器203の出力が接続される。差動増幅器203の非反転入力端子はnMOSTランジスタ201のドレインに接続され、差動増幅器の反転入力端子に接続される制御電圧入力端子205には制御電圧 $V_{bias}$ が入力される。また、nMOSTランジスタ201のドレインに接続されるカレントミラーの入力端子206と電源電圧 $V_{DD}$ の間には基準電流 $I_{ref}$ を流す電流源204が接続される。この基準電流源204は、本実施例のカレントミラー回路の出力端子207における出力電流 $I_{out}$ の絶対値を定める働きをする。nMOSTランジスタ201と202は互いに形状および特性を揃えているので、結果的に基準電流 $I_{ref}$ ＝出力電流 $I_{out}$ となる。

【0022】なお、本実施例回路で用いる差動増幅器203は、一般の演算増幅器のような高精度なものである必要はなく、せいぜい100倍程度の電圧利得を持つ、簡単な構成で充分低い電源電圧に対応できるものでよい。以降の実施例で述べる差動増幅器も全て同様である。

【0023】本実施例のカレントミラー回路では、差動増幅器203が安定な動作点を持つように設計する（この“安定な動作点を持つように設計する”ことに関しては、後述する）と、入力側トランジスタ201のドレイン端子206は制御電圧入力端子205の電圧とほぼ等しくなる。従って、トランジスタ201が飽和領域で動作する範囲内で制御電圧を下げることによって、トランジスタ201のドレイン端すなわちカレントミラーの入力端子206の電位を、ダイオード接続したMOSTランジスタのゲート・ソース電位よりも低くすることが出来る。これにより、基準電流源204からトランジスタ201のパスにおいて正常な動作を確保するために必要な電源電圧を低減することが出来る。

【0024】ここで、“安定な動作点を持つように設計する”に関して説明する。差動増幅器203は、nMOSTランジスタ201のドレイン端206を基準電流 $I_{ref}$ に依存せず、制御電圧 $V_{bias}$ によって決めることを可能とするために用いられている。これは、この差動増幅器203の利得がある程度高いものであれば、差動入力端子間の電圧がほぼゼロとなるため、ドレイン端206の電位を制御端子205の電位に等しいと定められるからである。

【0025】しかし、通常の差動増幅器は、どんな条件下でも必ず同じ利得を持つわけでない。そのため、出力電圧または差動入力電圧の同相分が、電源電圧 $V_{DD}$ または接地電位 $GND$ に対して0.1～0.3V以内になるような状態で使おうとすると、本来、飽和領域で動作すべきMOSTランジスタが非飽和領域で動作し、結果

として差動増幅器の内部素子の動作点余裕が不足するため、利得が低下したり全く増幅しなくなることがある。すなわち、差動増幅器として機能しなくなることがある。

【0026】そこで、本実施例で用いる差動増幅器203は、一般の演算増幅器ほど高精度でなくてもよい代わりに、非飽和領域でも100倍程度の利得をもって動作できること、すなわち差動増幅器としての機能を失わないように内部素子の動作点を設計することが必要である。従って、安定な動作点を持つように設計するとは、差動増幅器としての機能を失わないように内部素子の動作点を設計しておくという意味で用いている。

【0027】また、図2(b)は同図(a)の極性を逆にした場合であり、nMOSTランジスタ201、202の代わりにpMOSTランジスタ201p、202pを用いてカレントミラー回路を構成する場合である。極性が異なるだけで、その動作は同図(a)の場合と全く同様であるので、詳細な説明は省略する。

【0028】＜実施例2＞図3は、本発明に係るカレントミラー回路の別の実施例を示す回路図である。同図(a)において、前記実施例と同じ構成要素には同一の参照符号を付し、その詳細な説明を省略する。すなわち、本実施例のカレントミラー回路の構成は、前述の図2(a)の回路における制御電圧入力端子205を出力端子207へ接続している点が異なる。

【0029】このように構成することにより、差動増幅器203が安定な動作点を持つように設計すると、本実施例のカレントミラー回路の入力端子206の電位は出力端子207の電位と等しく追従するように動作する。従って、本実施例のカレントミラー回路では、出力端子207の電位が低下してトランジスタ202が非飽和領域に突入した場合となっても、入力側のトランジスタ201も非飽和でかつ、ドレイン・ソース間電圧がトランジスタ202と等しく保たれるため、トランジスタ201と202のドレイン電流は等しい状態を保つことができる。

【0030】すなわち、出力側のトランジスタ202の動作状態が飽和・非飽和領域の如何に関わらず、カレントミラー回路として動作することが出来る。なお、前記実施例と同様に、図3(b)は同図(a)の極性を逆にした場合であり、極性が異なるだけでその動作は同図(a)と同様であるので、詳細な説明は省略する。

【0031】＜実施例3＞図1は、本発明に係る演算増幅器の一実施例を示す回路図である。同図において、参照符号101と102はソース結合差動対を構成するnMOSTランジスタを示し、この差動対トランジスタ101、102のドレインと電源電圧 $V_{DD}$ の間にはpMOSTランジスタ103と104がそれぞれ接続される。このpMOSTランジスタ103のゲートはドレインに接続されると共にpMOSTランジスタ104のゲ

ートにも接続される。

【0032】また、差動対トランジスタ101、102のソース同士が結合された共通ソース111は、ソース接地のnMOSTランジスタ105のドレインおよび差動増幅器107の反転入力端子に接続される。ソース接地のnMOSTランジスタ106のゲートは差動増幅器107の出力に接続されると共にnMOSTランジスタ105のゲートに接続される。nMOSTランジスタ106のドレインは、差動増幅器107の非反転入力端子に接続されると共に電流源108を介して電源電圧VD

Dに接続される。  
【0033】このように構成される本実施例の演算増幅器において、pMOSTランジスタ103、104は差動対トランジスタ101、102の能動負荷となる。また、nMOSTランジスタ105、106と差動増幅器107で構成する回路は、図4の実施例で述べた本発明のカレントミラー回路である。出力電流Irefの電流源108は、カレントミラー回路の出力電流Ioutを決定する基準電流源であると同時に、結果として差動対トランジスタ101、102のバイアス電流Ibiasの絶対値

を決定する基準電流源となる。  
【0034】本実施例の演算増幅器では、図3のカレントミラー回路の出力端子207をトランジスタ101および102の共通ソース接続点111に接続している。従って、たとえ差動対の入力端子109、110の電位が低く、トランジスタ105が飽和領域で動作しなくても、基準電流源108の出力電流Irefと等しい電流Ioutがソース接続点111から供給され、安定な動作が可能となる。

【0035】すなわち本実施例の演算増幅器は、カレントミラー回路の出力側トランジスタ105のドレイン・ソース間電圧を入力側トランジスタ106のドレイン・ソース間電圧と常に等しく保ち、出力側トランジスタ105が非飽和となっても、カレントミラー回路の出力電流Iout（すなわち、差動対トランジスタ101、102のバイアス電流Ibias）がほぼ一定に保たれるので、演算増幅器の同相入力レベルを下げることを可能にする。これにより、低い電源電圧でも信号振幅を低減する必要がなくなり、低電圧で高精度な演算増幅器を構成できる。

【0036】＜実施例4＞図4は、本発明に係る演算増幅器の別の実施例を示す回路図である。同図において、参照符号401～404は形状、特性を等しく揃えたnMOSTランジスタであり、2組のソース結合差動対を構成し、さらにトランジスタ401と404のゲート同士およびトランジスタ402と403のゲート同士がそれぞれ接続されている。また、それぞれの差動対のソースと接地間に、互いに抵抗値と特性を等しく揃えた抵抗405と406が接続される。ゲート同士を接続したp

ンジスタ409と410は、それぞれ互いに形状、特性を揃えてあり、カレントミラー回路を構成する。

【0037】pMOSTランジスタ407はゲート・ドレインが接続されてnMOSTランジスタ401のドレインに接続され、pMOSTランジスタ408のドレインはnMOSTランジスタのドレインに接続されて能動負荷としても動作する。制御電流源411は本実施例の演算増幅器のバイアス電流Ibiasの絶対値を定める制御電流源であり、差動対のnMOSTランジスタ403、404のドレイン接続点とpMOSTランジスタ410のドレイン・ゲート接続点に接続される。なお、参照符号412および413は演算増幅器のそれぞれ非反転入力端子、反転入力端子であり、414は出力電圧Voを出力する演算増幅器の出力端子である。

【0038】このように構成される本実施例の演算増幅器において、破線i-jより左側は従来技術の図6で説明したものと同一抵抗バイアスされた差動対とみなせる。しかし本実施例では、破線i-jより右側の回路構成を設けることによって前記従来技術で述べたような入力同相成分に依存したバイアス電流の変動を緩和することができる。以下、これについて説明する。

【0039】本実施例の演算増幅器では、トランジスタ401～404と抵抗405および406の特性は揃っているから、トランジスタ401と402の共通ソース415の電位v1はトランジスタ403と404の共通ソース416の電位v2とほぼ等しい。従って、バイアス抵抗405および406によって生じる電流I1と電流I2も等しく、 $I1 \approx I2$ である。

【0040】ここで、nMOSTランジスタ403と404はドレインも共通で、pMOSTランジスタ409および410からなるカレントミラー回路の入力に接続されているので、制御電流源411の出力電流Icntを、 $Icnt < I2$ となるように制御電流源411を設計しておけば、pMOSTランジスタ409、410で構成したカレントミラー回路の出力電流は $(I2 - Icnt)$ となる。

【0041】さらに、この出力電流は本来の差動増幅を行うnMOSTランジスタ401および402の共通ソースへ戻される結果、差動対自身のバイアス電流Ibiasは、 $Ibias = \{I1 - (I2 - Icnt)\}$ となる。しかるに $I1 \approx I2$ だから、結局 $Ibias \approx Icnt$ となる。すなわち、入力端子412および413の電位（即ち同相入力レベル）に依存せず、演算増幅器を構成する差動対トランジスタ401、402のバイアス電流Ibiasを一定に保つことが出来る。

【0042】すなわち、破線i-jから左側の差動対は差動増幅を行うが、破線i-jから右側の差動対は、左側の差動対の同相入力レベルを検知して、左側の差動対のバイアス電流Ibiasを入力と同相成分によらずに一定となるように補正する動作を行っている。

【0043】これによって、本実施例の演算増幅器は、同相入力電圧範囲を拡大出来るためS/N比がよくなり、高精度で、電源に由来よりも低い電圧値を採用することが可能になり、電源の低電圧化を達成することが出来る。例えば、1.5V～2Vといった従来より低い電源電圧の場合でも、同相入力電圧範囲を0.2～0.3Vは拡大できる。

【0044】以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されることなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。例えば、図4に示した本発明の演算増幅器のバイアス抵抗405および406を、特性の揃ったMOSトランジスタで構成する電流源にそれぞれ置き換えても、同様の動作が可能であることは言うまでもない。また実施例では、カレントミラー回路を構成するゲート共通接続のトランジスタの形状及び特性を同じとして説明したが、トランジスタサイズの比率を変えて構成することも可能である。或いは、カレントミラー回路を構成する上記ゲート接続のトランジスタを実施例では2個で説明したが、それぞれ複数の並列トランジスタで構成してもよいことは勿論である。更に、本発明のカレントミラー回路及び演算増幅器を低定電源電圧で使用する場合を述べたが、それよりも高い電圧で

使用できることは言うまでもない。

【0045】  
【発明の効果】前述した実施例から明らかなように、本

発明によれば、演算増幅器の同相入力範囲を拡大することが出来、また動作確保に必要な電源電圧を低減することが可能になる。そして電源電圧の低減によって演算増幅器を含むLSIの素子の微細化が可能になり、高集積大規模のシステムLSIを実現することが出来る。

【図面の簡単な説明】

【図1】本発明に係る演算増幅器の一実施例を示す回路図である。

【図2】本発明に係るカレントミラー回路の一実施例を示す回路図である。

【図3】本発明に係るカレントミラー回路の別の実施例を示す回路図である。

【図4】本発明に係る演算増幅器の別の実施例を示す回路図である。

【図5】演算増幅器およびカレントミラー回路の従来例を示す回路図である。

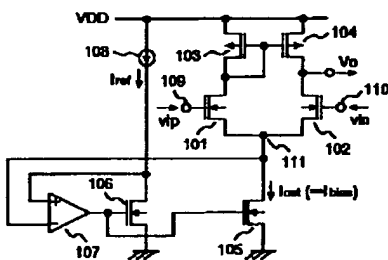
【図6】演算増幅器の別の従来例を示す回路図である。

【符号の説明】

101～106, 201, 202…MOSトランジスタ、401～404, 407～410…MOSトランジスタ、501～504, 512, 513…MOSトランジスタ、107, 203…差動増幅器、108, 204, 411, 505…電流源、405, 406, 601…抵抗、I<sub>bias</sub>…バイアス電流、I<sub>cnt</sub>…制御電流源の出力電流、I<sub>out</sub>…カレントミラー回路の出力電流、I<sub>ref</sub>…基準電流、V<sub>bias</sub>…制御電圧。

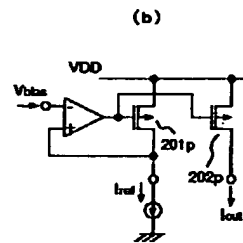
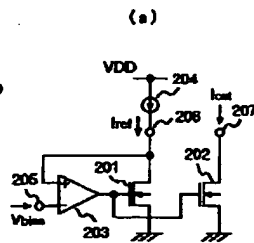
【図1】

図 1



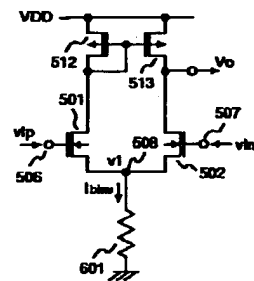
【図2】

図 2



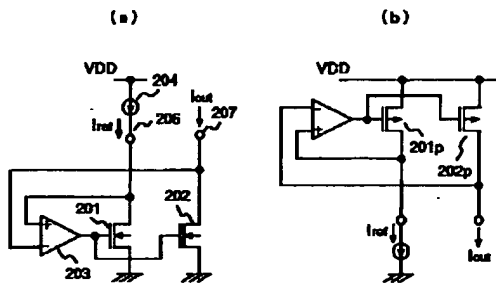
【図6】

図 6



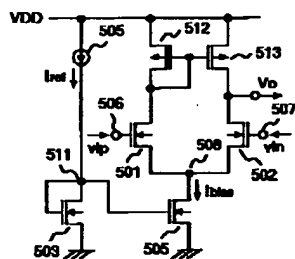
【図3】

図 3



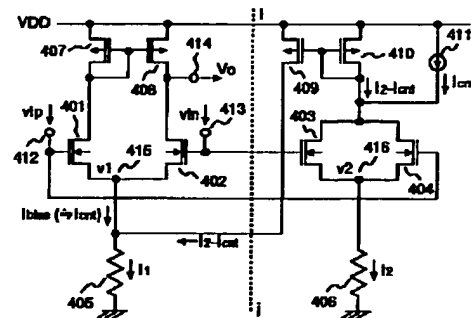
【図5】

図 5



【図4】

図 4



フロントページの続き

Fターム(参考) 5H420 NA32 NB02 NB25 NB36 NC02  
 NC03 NE28  
 5J066 AA01 AA43 AA59 CA32 CA37  
 CA81 FA01 FA10 HA10 HA17  
 HA25 KA01 KA02 KA09 KA12  
 KA17 KA28 MA19 MD04 ND03  
 ND24 PD01 TA01  
 5J091 AA01 AA12 AA43 AA59 CA32  
 CA37 CA81 FA01 FA10 HA10  
 HA17 HA25 KA01 KA02 KA09  
 KA12 KA17 KA28 MA19 TA01